

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problem Mailbox.**

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 10-229085

(43)Date of publication of application : 25.08.1998

(51)Int.Cl. H01L 21/3205  
H01L 21/304

(21)Application number : 09-030090 (71)Applicant : HITACHI LTD

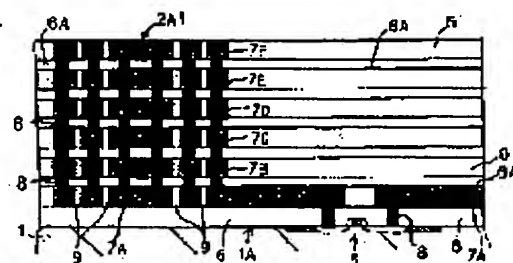
(22)Date of filing : 14.02.1997 (72)Inventor : MIYAKE TAMOTSU

## (54) SEMICONDUCTOR DEVICE AND FABRICATION THEREOF

## (57)Abstract:

**PROBLEM TO BE SOLVED:** To suppress degradation in the planarity of a wide wiring due to dishing in chemical mechanical polishing by providing a wide wiring on a semiconductor element and making a slit in the planar region of each wiring layer.

**SOLUTION:** An insulation layer is formed on the major surface 1A of a semiconductor chip 1 on which an MOS transistor 5 is formed and the first layer 7A of wiring is formed thereon. A wiring pattern is formed by etching an insulator 6 and a metal for forming the first layer 7A of wiring is deposited and then it is etched to make a plurality of slits 9 at specified positions in the region of pad 2A1 on the first layer 7A of wiring. Subsequently, the first layer 7A of wiring and the region of pad 2A1 are formed by damascene method for planarizing it by chemical mechanical polishing. According to the method, degradation in the planarity of a wiring pattern due to dishing in chemical mechanical polishing can be suppressed.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(11)特許出願公開番号

(43)公開日 平成10年(1998)8月25日

- |              |                   |
|--------------|-------------------|
| 1A…RAMチップの主な | 5…MOSトランジスタ       |
| 6…絶縁層        | 6A…層間絶縁膜          |
| 7A…配線第1層     | 7B～7F…配線第2層～配線第6層 |
| 8…コンタクト配線    | 9…スリット            |

## 【特許請求の範囲】

【請求項1】 ダマシン法により半導体素子上に設けられた幅の広い配線もしくはその配線の上に多層配線構造からなるパッドを有する半導体装置において、前記配線もしくは多層配線構造の各配線層の平面領域にスリットが設けられていることを特徴とする半導体装置。

【請求項2】 ダマシン法により半導体素子上に設けられた配線に電氣的に接続された半導体素子のテストエレメントグループ（TEG）のプロープに用いる多層配線構造からなるパッドを有する半導体ウエーハにおいて、前記多層配線構造の各配線層の平面領域にスリットが設けられていることを特徴とする半導体ウエーハ。

【請求項3】 半導体素子上に設けられた配線の上にダマシン法により多層配線構造のパッドを形成する工程を備えた半導体装置の製造方法において、前記ダマシン法におけるディッシングを行う前に前記多層配線構造の各配線層の平面領域にスリットを形成する工程と、該平面領域にスリットが形成された状態のものを化学的機械的研磨して平坦化して順次積層する工程を具備したことを特徴とする半導体装置の製造方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】 本発明は、ダマシン法により形成する幅の広い配線及びその配線の上に設けられた多層配線構造を持つ半導体素子とこれを用いたLSIに関し、特に、半導体素子上に設けられた幅の広い配線及びその配線の上に多層配線構造からなるパッドを有する半導体装置及び半導体ウエーハに関するものである。

## 【0002】

【従来の技術】 従来、ダマシン法を用いて半導体素子上に単層配線を形成し、その上に多層配線構造からなるパッドを形成する構造の半導体装置及び半導体ウエーハがある。

## 【0003】

【発明が解決しようとする課題】 本発明者は、前記従来の技術を検討した結果、以下の問題点を見いだした。

【0004】 前記多層配線構造のパッドのパターンの幅が広い場合に、化学的機械的研磨（CMP：Chemical Mechanical Polishing 以下、CMPと称する）での研磨時に配線領域と絶縁膜領域の研磨レートが異なることによるディッシング効果が生じ、図6（aは平面図、bはa図のB-B'で切線で切った配線第1層目の断面図）に示すように、パッド3'の平面領域に凹部3'Aが形成され、パッド配線の平坦性が著しく劣化する。

【0005】 前記ダマシン法を用いた多層配線構造のパッドにおいて、各配線層の平面領域の配線パターンの幅が広い場合に、絶縁膜により形成された溝内に配線用のメタルを埋め込む際に、配線パターンの中央部は周辺部に比べて標高が低くなる。すなわち、絶縁膜をエッチングしてビア（Via）を形成する際に、中央部に貫通し

ないViaが形成される。

【0006】 前記の2つの理由により、ダマシン法を用いた多層配線構造のパッドにおいては、図7に示すように、配線層7'A～7'Fの各配線層の配線パターンの幅が太い場合に、各配線層7'A～7'Fの配線パターンの中央部と周辺部との間で、標高差が生じ、平坦性が劣化するため、特に、半導体素子の評価用テストエレメントグループ（TEG）のプロープに用いるパッドを従来どおり大面積に一樣な配線パターンをレイアウトした場合に、配線の平坦性を確保するのは非常に困難であるという問題があった。

【0007】 そのため、前記パッド3'に半導体素子の評価用テストエレメントグループ（TEG）のプロープが確実に接続されないものが生じ、もしくは、特に、絶縁膜6の中央部に貫通しないViaが形成されるため配線層間の電氣的接続がとれない部分が生じ、テストができないという問題があった。

【0008】 前記図6及び図7において、3'は多層配線構造のパッド、3'Aはディッシング効果による凹部、6'は絶縁層、6'Aは層間絶縁膜、7'A～7'Fは配線第1層目～配線第6層目、8'はコンタクト配線である。

【0009】 本発明の目的は、CMP研磨時のディッシングによる幅の広い配線もしくはパッド配線の平坦性の劣化を低減することが可能な技術を提供することにある。

【0010】 本発明の他の目的は、ダマシン法を用いた多層配線構造のパッドにおいて、半導体素子の評価用テストエレメントグループ（TEG）のプロープに用いるパッドを従来どおり大面積に一樣なパターンをレイアウトした場合にも、配線の平坦性を確保することが可能な技術を提供することにある。

【0011】 本発明の他の目的は、半導体素子のテストを確実にすることが可能な技術を提供することにある。

【0012】 本発明の前記ならびにその他の目的及び新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

## 【0013】

【課題を解決するための手段】 本願において開示される発明のうち代表的なものの概要を簡単に説明すれば、以下のとおりである。

【0014】 （1）ダマシン法により半導体素子上に設けられた幅の広い配線もしくはその配線の上に多層配線構造からなるパッドを有する半導体装置において、前記配線もしくは多層配線構造の各配線層の平面領域にスリットが設けられている。

【0015】 （2）ダマシン法により半導体素子上に設けられた配線に電氣的に接続された半導体素子のテストエレメントグループ（TEG）のプロープに用いる多層配線構造からなるパッドを有する半導体ウエーハにおい

て、前記多層配線構造の各配線層の平面領域にスリットが設けられている。

【0016】(3) 半導体素子上に設けられた配線の上にダマシン法により多層配線構造のパッドを形成する工程を備えた半導体装置の製造方法において、前記ダマシン法におけるCMPを行う前に前記多層配線構造の各配線層の平面領域にスリットを形成する工程と、該平面領域にスリットが形成された状態のものをCMPして平坦化して順次積層する工程を具備したものである。

【0017】前述の手段によれば、ダマシン法におけるCMPを行う前に幅の広い配線もしくはその配線の上に多層配線構造の各配線層の平面領域にスリットを設けることにより、研磨される対象面積が小さくなるためディッシング効果による凹部を生じない。これにより、CMP研磨時のディッシングによる配線パターンの平坦性の劣化を低減することができる。

【0018】これにより、ダマシン法を用いた多層配線構造のパッドにおいて、半導体素子の品質評価用のテストエレメントグループ(TEG)のプロープに用いるパッドを従来どおり大面積に一樣な配線パターンをレイアウトした場合にも、配線の平坦性を確保することができる。

【0019】

【発明の実施の形態】以下に本発明の実施形態を図面を参照して詳細に説明する。

【0020】なお、実施形態を説明するための全図において、同一機能を有するものは同一符号を付け、繰り返しの説明は省略する。

【0021】(実施形態1) 図1は本発明の実施形態1の半導体ウエーハ上のRAMの概略構成を示すチップ平面図、図2は図1のテストエレメントグループ(TEG)のパッド部分のA-A'線で切った断面図である。図1において、1はウエーハ状態におけるRAM(LSI)チップ、2はテスト(品質評価)用のテストエレメントグループ(TEG)、2Aはテストエレメント、2A1はテストエレメントグループ(TEG)のパッド、2A2はテスト用パターン、2A3は配線、3はRAMチップ1のパッド、4はメモリマットである。図2において、1AはRAM(LSI)チップ1の主面(Siの表面)、5はMOSトランジスタ、6は絶縁層、6Aは層間絶縁膜、7Aは配線第1層目、7B~7Fは配線第2層目~配線第6層目、8はコンタクト配線、9はスリットである。

【0022】図1に示すように、本実施形態1のウエーハ状態におけるRAM(LSI)チップ1は、テスト(品質評価)用のテストエレメントグループ(TEG)2、RAMチップ1のパッド3、及びメモリマット4を備えている。

【0023】前記テストエレメントグループ(TEG)2には、テストエレメント2A、テストエレメントグル

ープ(TEG)のパッド2A1、テスト用パターン2A2、及び配線2A3が設けられている。

【0024】前記パッド2A1は、図2に示すように、RAM(LSI)チップ1のMOSトランジスタ5が形成された主面(Siの表面)1Aの上に、絶縁層(SiO<sub>2</sub>層)を形成し、その上に配線第1層目(A1, Cu等)7Aを形成し、この配線第1層目7Aと前記MOSトランジスタ5の電極とを前記コンタクト配線(W等)8により電気的に接続した構成になっている。前記配線第1層目7Aのパッド2A1の領域には複数のスリット9が設けられている。図3(aは平面図、bはa図のA-A'線で切った断面図)に示すように、スリット9の幅は例えば約2μmであり、配線幅は80~100μm<sup>2</sup>である。前記スリット9間の間隔は、前述したCMPでの研磨時に配線領域と絶縁膜領域の研磨レートが異なることによるディッシング効果が生じない程度の距離(例えば8~10μm)である。すなわち、スリット9で分離されたパッド2A1の領域上の面積が、前述したCMPでの研磨時に配線領域と絶縁膜領域の研磨レートが異なることによるディッシング効果が生じない程度の面積であればよい。

【0025】前記配線第1層目(A1, Cu等)7Aは、前記絶縁膜6をエッチングして配線パターンを形成し、配線第1層目7Aとなる金属(A1, Cu等)をデポし、これをエッチングにより、図2及び図3に示すように、前記配線第1層目7Aのパッド2A1の領域の所定位置に複数のスリット9を設ける。そして、それをCMP研磨して平坦化するダマシン法にて配線第1層目7A及びパッド2A1の領域を形成する。

【0026】このように、ダマシン法で配線第1層目7Aのパッド2A1の領域を形成した場合、配線第1層目7Aのパッド2A1の領域に複数のスリット9を設けることにより、研磨される対象面積が小さくなるためディッシング効果による凹部を生じない。これにより、配線第1層目7Aの平坦性を向上することができる。

【0027】同様にして、前記配線第2層目7Bのパッド2A1の領域は、前記絶縁膜6をエッチングして配線パターンを形成し、配線第2層目7Bとなる金属(A1, Cu等)をデポし、これをエッチングにより、図2及び図3に示すように、前記配線第2層目7Bのパッド2A1の領域の所定位置に複数のスリット9を設ける。そして、それをCMP研磨して平坦化するダマシン法にて配線第2層目7B及びそのパッド2A1の領域を形成する。そして、配線第1層目7Aのパッド2A1の領域と配線第2層目7Bのパッド2A1の領域とをコンタクト配線8で電気的に接続する。

【0028】前記配線第1層目7A及び配線第2層目7Bのパッド2A1の領域の形成と同様にして配線第3層7C~配線第6層7Fを順次形成して、各配線層目をコンタクト配線8で電気的に接続し、図2に示すように、

多層配線構造のパッド2A1を形成する。

【0029】また、このように多層配線構造のパッド2A1にすることにより、配線のどの工程においても電気的評価が可能になる。すなわち、電気的評価による品質チェックが配線第1層目までしか完成していない半導体ウエーハでも、配線第6層目まで完成した半導体ウエーハであっても可能となる。

【0030】以上の説明からわかるように、本実施形態1によれば、ダマシン法におけるCMPを行う前に、多層配線構造の各配線層のパッドもしくはテストエレメントグループ(TEG)のパッド2A1の平面領域にスリット9を設けることにより、研磨される対象面積が小さくなるためディッシング効果による凹部を生じない。これにより、CMP研磨時のディッシングによる配線パターンの平坦性の劣化を低減することができる。

【0031】これにより、ダマシン法を用いた多層配線構造のパッドにおいて、半導体素子の品質評価用のテストエレメントグループ(TEG)に設けられているパッドを従来どおり大面積に一樣なパターンをレイアウトした場合にも、配線の平坦性を確保することができる。

【0032】前記本実施形態1では、主にテストエレメントグループ(TEG)のパッド2A1について説明したが、本発明は一般の半導体装置の多層配線構造からなるパッドにも適用できることは前述の説明から容易にわかるであろう。

【0033】(実施形態2)図4及び図5は本発明の実施形態2のRAMのテストエレメントグループ(TEG)のパッド部分の平面図である。

【0034】本実施形態2のテストエレメントグループ(TEG)のパッドは、図4及び図5に示すように、前記実施形態1におけるパッド2A1の領域に層間絶縁膜6Aによる複数のスリット9の形状をスリット9Aもしくは9Bに変えたものである。

【0035】このように、層間絶縁膜6Aによるスリット9Aもしくは9Bを設けることにより、研磨される対象面積が小さくなるためディッシング効果による凹部が生じない。これにより、CMP研磨時のディッシングによる配線パターンの平坦性の劣化を低減することができる。

【0036】本発明は、本実施形態2のように、一樣な大面積の配線パターン(パッド)にスリット状のパターンを設けることにより平坦性の向上を図った構造の配線もしくはその配線の上に形成された多層配線構造のものの全てにおいて適用できることはいうまでもない。

【0037】更に、このスリットを持つ構造はパッドのみにとどまらず、電源線等に用いる太幅配線を含む、全ての通常の配線に適用できることはいうまでもない。

【0038】以上、本発明者によってなされた発明は、

前記実施形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更し得ることは勿論である。

【0039】

【発明の効果】本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、以下のとおりである。

【0040】ダマシン法を用いた配線構造において、配線部のパターンの幅が広い場合、特に、TEGのプローブに用いるパッドの平面領域にスリットを設けることにより、研磨される対象面積が小さくなるためディッシング効果による凹部が生じない。これにより、CMP研磨時のディッシングによる配線パターンの平坦性の劣化を低減することができる。

【0041】これにより、ダマシン法を用いた多層配線構造のパッドにおいて、半導体素子の品質評価用のテストエレメントグループ(TEG)のパッドを従来どおり大面積に一樣な配線パターンをレイアウトした場合にも、配線の平坦性を確保することができるので、品質評価用のテストを確実に行うことができる。

【図面の簡単な説明】

【図1】本発明の実施形態1の半導体ウエーハ上のRAMの概略構成を示すチップ平面図である。

【図2】図1のテストエレメントグループ(TEG)のパッド部分のA-A'線で切った断面図である。

【図3】本実施形態1のテストエレメントグループ(TEG)のパッドの構成を示す図である。

【図4】本発明の実施形態2のRAMのテストエレメントグループ(TEG)のパッドの構成を示す平面図である。

【図5】本実施形態2のRAMのテストエレメントグループ(TEG)の他のパッドの構成を示す平面図である。

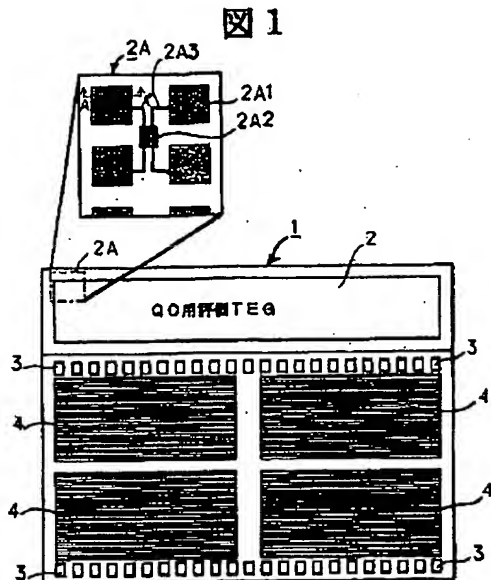
【図6】従来のRAMのテストエレメントグループ(TEG)のパッドの問題点を説明するための図である。

【図7】従来のRAMのテストエレメントグループ(TEG)の多層配線構造からなるパッドの問題点を説明するための図である。

【符号の説明】

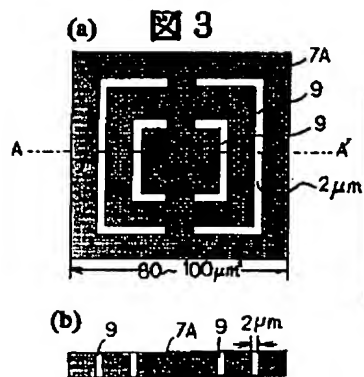
1…RAMチップ、2…テストエレメントグループ(TEG)、2A…テストエレメント、2A1…TEGのパッド、2A2…テスト用パターン、2A3…配線、3…RAMチップのパッド、4…メモリマツト、1A…RAMチップの主面、5…MOSトランジスタ、6…絶縁層、6A…層間絶縁膜、7A…配線第1層、7B~7F…配線第2層~配線第6層、8…コンタクト配線、9、9A、9B…スリット。

【図1】

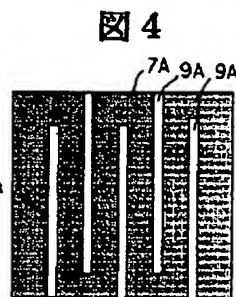


- 1…RAM (LSI) チップ 2…テストエレメントグループ (TEG)  
 2A…テストエレメント 2A1…パッド  
 2A2…テスト用パターン 2A3…配線  
 3…RAMチップのパッド 4…メモリマツト

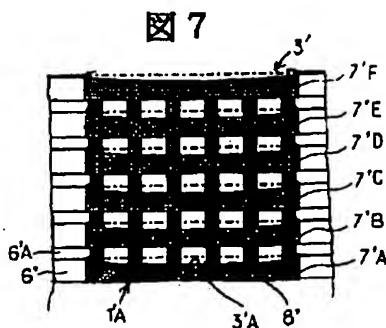
【図3】



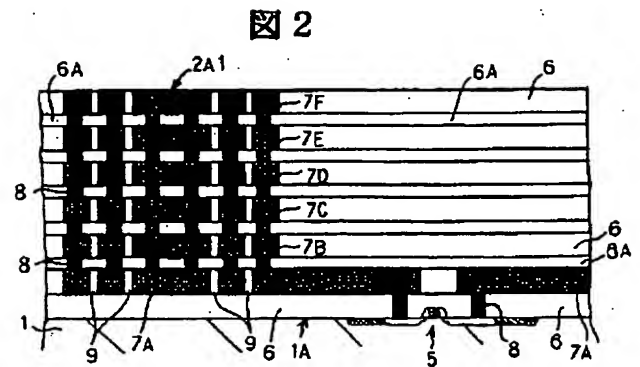
【図4】



【図7】

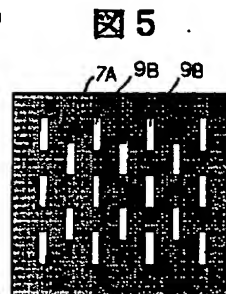


【図2】



- 1A…RAMチップの主面 5…MOSトランジスタ  
 6…絶縁層 6A…層間絶縁膜  
 7A…配線第1層 7B~7F…配線第2層~配線第6層  
 8…コンタクト配線 9…スリット

【図5】



【図6】

